

ジップシー

# ZIPC

**ZIPC**  
CASE Tool for Embedded Systems

## 導入実績 No.1を獲得し続ける 組込みCASEツールの決定版!

ZIPCは、近年巨大化の一途をたどっている組込みシステムのソフトウェア開発向けの国産CASEツールとして、発売より15年以上の実績を持っています。

多彩で実用的なモデリング機能、デバッグ機能、コード生成機能、試験機能を持っているので、「分析-設計-実装-試験」の各フェーズをシームレスに開発できる環境を構築できます。

様々な分野からの事例論文・発表を頂いており、適用実績の多さでも群を抜いています。98年以降は組込みシステム適用CASEツール・シェアNo.1を獲得し続けています。  
(社団法人 電子情報技術産業協会「JEITA」調べ)

### システムの大規模・複雑化対策は万全ですか？

組込みシステムは市場から年々厳しい高機能性・高信頼性を求められています。これにより従来の開発スタイルだけでは解決できない段階まで大規模・複雑化が進み、加えて「Time to Market」を標榜した開発期間の短縮、開発コストの削減が必須になっていることは周知のとおりです。

このような状況を「Break Through」するには、組込みシステムに最も適した開発プロセスや方法論の適用が1つのポイントです。このポイントに対応したCASEツールを適用することにより、品質・生産性は飛躍的に向上すると言えます。

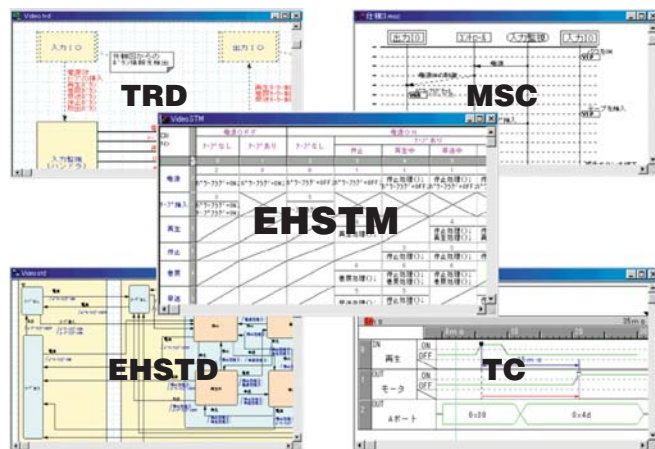
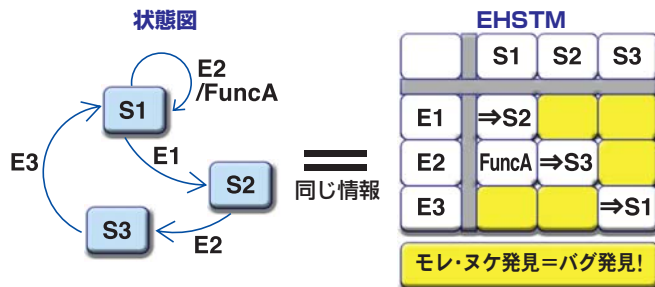
キャッツの組込みシステム向CASEツール『ZIPC』は生産性/品質/コスト削減の最も重要な三大要素を改善することができる究極の組込みシステム開発環境です。

### 設計の“カギ”はシステムの異常・例外ケース! (なぜ、状態遷移表で設計するのか?)

従来の設計フローではフローチャートや状態図が多く用いられてきましたが、異常ケース・例外ケースを発見することや網羅的に記述することが非常に困難です。

ZIPCでは、組込みシステムに起りえる全ての事象 (Event) とシステムが取り得る全ての状態 (State) を網羅的に表現できる手法として「拡張階層化状態遷移表設計手法」を用いています。

これにより、「いつ・どこで・何をするか」のモレ・ヌケを防止し、正常ケース・異常ケースを含んだ設計を行うことができ、試験段階でも発見し辛かった不具合が設計初期の段階で発見、解決できるようになり開発効率・品質が飛躍的に向上します。



- **EHSTD** (Extended Hierarchy State Transition Diagram) プログラムの状態と正常ケースの遷移について表現します。Harel型状態遷移図も表現することが可能です。
- **EHSTM** (Extended Hierarchy State Transition Matrix) ZIPCの中核になる設計書です。事象 (Event) と状態 (State) の組み合わせを網羅できるので異常・例外ケースを含めたモレ・ヌケの無い設計が可能です。

分析  
設計  
製作  
試験

### 分析モデリングのモレ・ヌケを防止できる!

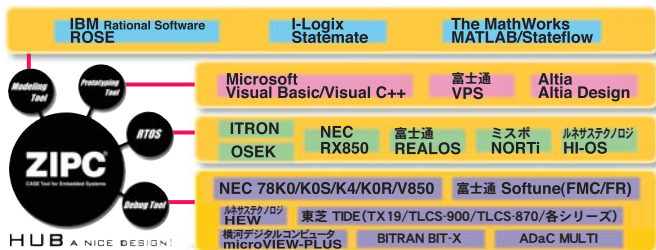
#### ◆ビヘビアモデル ブリッジ

ZIPCは、各種上流モデリングツールの動的モデルをZIPCのコンパイル機能で自動的に「拡張階層化状態遷移表 (EHSTM)」に変換し、モレ・ヌケを防止した分析モデルを作成することが出来ます。

(StateMate Option、MATLAB/Stateflow Option)

#### UML/オブジェクト指向設計を補完できる!

ZIPCは、UML/オブジェクト指向へのアプローチとしてUMLでモデリングされたクラス図と状態モデルをEHSTMで補完します。更にUMLモデルからC++コード生成及び、オブジェクト指向ベースのCコードを自動生成することが可能です。(Rose Option)



分析  
設計  
製作  
試験

### 専用エディタ群で開発効率UP!

◆組込みシステムをモレ・ヌケなく表現する5つの設計書  
ZIPCでは、以下の設計書の専用エディタを装備しています。

- **TRD** (Task Relationship Diagram) システム、タスク間及び資源の関連性を図で表現します。
- **MSC** (Message Sequence Chart) システム、タスク間及び資源のメッセージ送受信を時間軸上に表現します。
- **TC** (Timing Chart) システムの変数、IOの変化タイミングを表現します。

分析  
設計  
製作  
試験

**モデル駆動で品質向上・試験工数削減!**

- ◆モデリング段階でのダイナミックチェック  
“コーディング前”、“評価ボード完成前”にモデル(設計書)での効率的なデバッグ・自動試験・検証が可能です。これにより、設計段階で試験でのバグ発生件数を低減でき試験工数を大幅に削減させ、品質を向上させることが可能です。
- ・ Windows上でモデルをネイティブ実行 (Animator Option)
- ・ 日本語記述対応シミュレーション機能 (Simulator)
- ・ ANSI Cコードの実行シミュレーション機能 (Simulator)
- ・ 各種RTOS動作のシミュレーション機能 (Simulator)
- ・ MSC、TCを用いた自動試験・検証機能 (ATV)
- ・ バーチャルプロトタイプとモデルの連動 (VIP) (VPS Option)

分析  
設計  
製作  
試験

**モデル(設計書)通りにコーディングできる!**

- ◆モデルとコードの一体化でメンテナンスが容易
- ◆日本語モデルからのコード生成も可能
- ◆MISRA C対応  
十分に検証されたモデルから、ターゲット実装が可能なANSI C準拠のコードを自動生成します。(Generator) モデルとCコードは常に一致しています。またANSI C準拠コードなのでターゲットを選びません。小規模な組込みシステムにも実装可能なように省コード化されています。

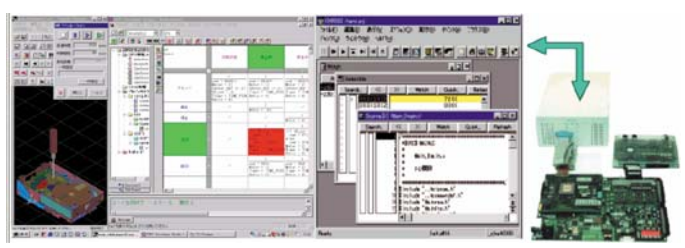
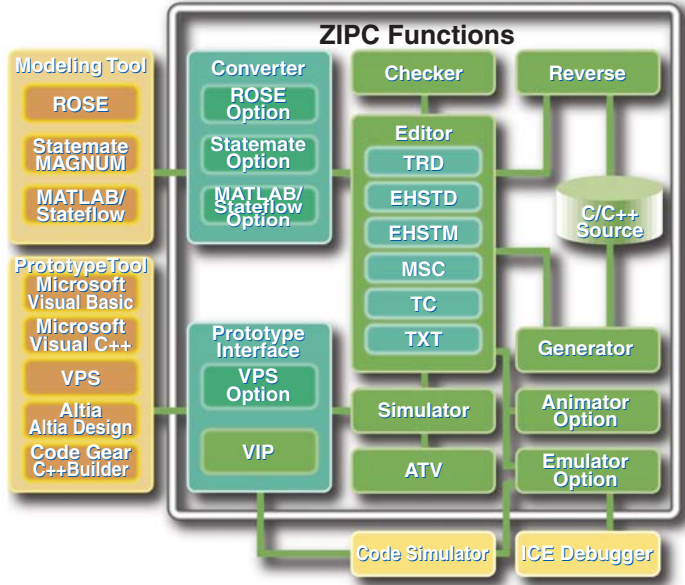
分析  
設計  
製作  
試験

**ターゲットにもモデルを使ってデバッグできる!**

- ◆モデルベース&コードベースのハイブリッドな試験環境  
従来、コードでしか行えなかったターゲットデバッグをZIPCと各種デバッガを接続し、抽象度の高いモデルを用いてデバッグを行えます。これにより、上流から作成・検証して来たモデルを試験段階まで一貫して使用でき、効率的なターゲット検証が可能になります。(Emulator Option)

**【対応デバイス/デバッガ一覧】**

- ・ NEC (V850, 78K/4, 78K/0, 78K/0S, 78K/0R)
- ・ 富士通 (FR, F<sup>2</sup>MC-16, F<sup>2</sup>MC-8L)
- ・ ルネサス (M16Cファミリ, SH, H8ファミリ)
- ・ 東芝 (TX19ファミリー, TLCS-900ファミリー, TLCS-870ファミリー)
- ・ ビットラン (BITX-Neoシリーズ)
- ・ 横河デジタルコンピュータ (microVIEW-G, microVIEW-PLUS)
- ・ アドバンスドデータコントロールズ (MULTI)



**豊富な適用事例で安心して導入できます!**

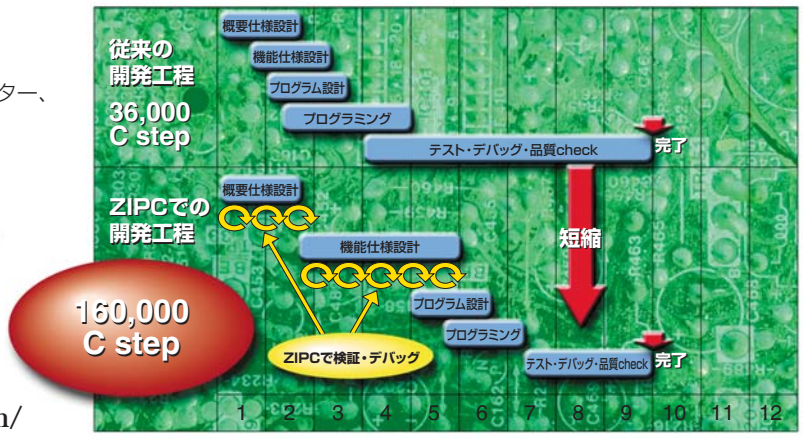
ZIPCは家電、移動体通信端末、カーエレクトロニクス、OA機器、FA機器等の様々な分野で導入実績があります。

**<主な導入企業様>** (敬称略)  
NEC、富士通、松下電器産業、日立製作所、三菱電機、松下電工、コニカ、ヤマハ、富士電機、キヤノン、富士フイルムソフトウェア、富士ゼロックス、日本ビクター、NEC東芝スペースシステム、オムロン その他多数

- <導入効果実績>**
- ・ 専用エディタで  
ドキュメント作成時間が **1/2** に!
  - ・ コード自動生成で  
コーディング工数が **1/3** に!
  - ・ 自動生成でのコード容量が  
手書きの **0.97 ~ 1.3** 倍!
  - ・ 初回の実機デバッグ時のバグ発生件数が  
**1/4 ~ 1/30** に!

詳しくはWebにて! <http://www.zipc.com/>

**生産効率向上事例:C社様 半導体処理装置**  
☆4倍強規模 (C step比) の開発期間が同じ!  
☆出荷までの実機デバッグ期間を40%に短縮!



動作環境: 日本語 Windows 98SE/Me/NT4.0/2000/XP/Vista

**C**ommunication  
**A**rt  
**T**echnology  
**S**ystems

**キャッツ株式会社**  
〒222-0033 神奈川県横浜市港北区新横浜2-11-5 川浅ビル  
TEL: 045-473-2816 FAX: 045-473-2673  
<http://www.zipc.com/> E-mail: info@zipc.com

・ 本資料の内容は、予告なしに変更する場合があります。  
・ 本資料に記載された社名、製品名は各社の商標または登録商標です。