

SOC の開発環境

福島 裕

System On a Chip ~ システム丸ごとをシリコンチップにする ~ こんな半導体屋の夢が、集積度の飛躍的な向上により現実のものとなりつつあります。一方、システムを開発する人達の方でも、今までの既製の部品と ASIC を組み合わせた開発とは違ったアプローチが必要になってきていると思います。設計の自由度が大きくなる分、開発上流工程での見積りの善し悪しと後工程への連携の強さがシステムの性能、機能、コストや開発工期を決定付けることとなります。ハードウェアとソフトウェアの境目が柔軟になってきているのも、SOC 開発での特徴と言えるでしょう。

そこで、システムの構成や動作を見渡せる手法とプロトタイピングが重要になるでしょう。いろいろな構成要素の組み合わせから、より最適なものを選び出すことが求められます。ソフトとハードのトレードオフも、早い段階で見通したいものです。

プロトタイピングの目的は、製品イメージ（機能／性能／コスト）の検討、新規機能ブロックの見積り（ソフト／ハードのトレードオフ）、予想されるクリティカルパスの確認、インターフェースの明確化など様々で、モックアップを作成したり、エミュレータを使ったり、仮想シミュレーションで行う場合など、いろいろな実現手法があります。簡便性、正確性、コストで手段を選ぶことになります。

この段階では、既存システムから継承する具体的なものと、新規部分のまだあやふやで抽象的なもの、あるいは IP として購入するもの、また、ハードウェアとソフトウェアとが混在しています。それらをも含めて仕様の検証・性能の見積りを行えるプロトタイピングシステムが求められています。

また、上流工程から下流工程への開発資産の継承性も課題でしょう。どんなに素晴らしいプロトタイプができて、実システム開発と連携できていなければ、予定とはかけ離れた性能やコスト、開発工期となってしまいます。仕様設計、実装設計、単体検証、システム検証、製品検査の各フェーズで統一／継承性のある資産の活用できる開発環境が成功への近道でしょう。設計の資産化がキーワードです。

次に実開発で最も時間を費やす処理が、異常と例外処理でしょう。ここの漏れをいかに防ぐかが品質の鍵で、いつも頭を悩ませる問題です。そのため、可能性のある場合を全て明示できる手法が必要でしょう。プロトタイプで異常系の仕様検証ができ、それをそのままシステム検証で再現すれば、専用の検証データを作り直す必要がなくなります。

開発の効率化を図るには、ICE・各種エミュレータ・シミュレーションモデル・RTOS などのツールチェーンも重要となります。それぞれの長所を利用できるかどうか、大きく効率を左



右します。

ZIPC は、状態遷移表に着目することにより、上流から下流まで統一した表現で設計を資産化できるツールです。また、製品品質と開発工期のネックとなる異常と例外処理にも、状態遷

移表が威力を発揮するでしょう。さらに ICE やシミュレータ、RTOS との連携も考慮されており、優れたツールです。まだまだ成長する余地のあるツールですが、一度使えばその価値がわかっていただけるはずです。

[ふくしま ゆたか]

ZIPC Ver.5.0 手法書発売のお知らせ

ZIPC Ver.5.0 で採用されている「拡張階層化状態遷移表設計手法 Ver.2.0」についての解説書として、ZIPC Ver.5.0 の手法書が発売されます。本書は、状態遷移表を拡張・階層化した設計手法の技術解説書です。状態遷移表において、「並列処理」「割込み」「階層化」「駆動型」「遷移型」などを、どのように表記し、どのように解釈されるかが定義されています。設計に状態遷移表を適用しようと考えている技術者や、すでに状態遷移表で設計されている技術者の方々必読の書です。

Embedded SE のための設計手法

Extended Hierarchy
拡張階層化
State Transition Matrix
状態遷移表
Design Method
設計手法 Ver.2.0

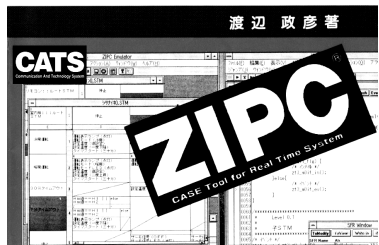
『拡張階層化状態遷移表設計手法 Ver.2.0』

渡辺政彦 著

発売 : 東銀座出版社

定価 : 1,905 円(税別)

ISBN4-89469-004-7



SOC、IP、Co-Sim、EC++、Java、Windows CE.....これらを上手に活用するためには、従来の設計手法では無理です。新技術に浮き足立つ前に腰を落ち着け、「組み込みの世界」に必須である『状態遷移』を身につけて下さい。